

# 패키지 몸체온도로 부터 전력 반도체의 접합 온도의 추정

보 데니스<sup>1</sup>, 팔라니아판 디니쉬<sup>2</sup>, 마국위<sup>2</sup>, 생 필립<sup>3</sup>, 김 사이먼<sup>4</sup>  
 인피니언 테크놀로지스 <sup>1</sup>베트남, <sup>2</sup>싱가폴, <sup>3</sup>독일, <sup>4</sup>대한민국

## Estimation of power semiconductor junction temperature from package body temperatures

Dennis Vo<sup>1</sup>, Dinesh Palaniappan<sup>2</sup>, Kwok Wai Ma<sup>2</sup>, Phillipp Seng<sup>3</sup> & Simon Kim<sup>4</sup>  
 Infineon Technologies <sup>1</sup> Vietnam, <sup>2</sup> Singapore, <sup>3</sup> Germany & <sup>4</sup> South Korea

### ABSTRACT

전력반도체의 동작 접합온도의 측정은 중요하지만 어려운 주제이다. 본 논문에서는 접합온도를 추정하기 위해 개별 전력 반도체의 에폭시 몰드 몸체의 온도를 사용하는 것을 제안한다. 이들 관계를 설정하기 위해 단순화된 열적 모델이 구축되었다. 유한요소해석(FEA) 시뮬레이션 결과는 모델 매개변수를 결정하는 데 사용된다. 적외선 카메라에 의한 열 측정 결과로 이러한 접근 방식의 정확성을 확인할 수 있었다.

### 1. 서론

작동 중에 실제 접합온도 ( $T_J$ )값을 아는 것도 중요하지만, 반도체 칩은 패키지로 보호되어 측정 시 노출되지 않기 때문에  $T_J$  측정은 쉬운 작업이 아니다. 전력 반도체 칩에 내장된 다이오드 온도 센서를 사용하여  $T_J$ 를 직접 관측하면 최상의 측정 응답 시간과 합리적으로 우수한 정확도가 제공되지만 이 접근 방식에는 추가 칩 공간, 제조 공정 단계 및 출력 핀이 필요하며 이러한 기능은 상용 제품에서 사용할 수 없는 경우가 많다.

오늘날 사용되는 대부분의  $T_J$  측정 접근법은 간접 측정을 기반으로 한다. 적외선 열 카메라 측정을 위해 부분적으로 캡슐화되지 않은 패키지의 작은 창 개구부, 직접 측정을 위해 칩에 부착된 열전대[1], 작은 감지 전류의 피드에 의해 결정되는 교정 곡선  $V_{CE}/V_{DS}/V_F$  ( $T_J$ ) 및 장치를 끌때  $T_J$  측정한다[2]. 이러한 모든 접근 방식에는 반도체 제조업체에서만 사용할 수 있는 특수 테스트 샘플과 정교한 장비가 필요하다. 개별 전력 반도체 장치의 경우 사용자는 편의상  $T_J$ 에 대한 프록시로 금속 장착 탭온도 ( $T_{TAB}$ ) 또는 핀의 온도( $T_{PIN}$ )를 측정하고 싶은 경우가 있다. 그러나  $T_{TAB}-T_J$  또는  $T_{PIN}-T_J$  관계는 고정되지 않고 칩에서 방열판으로, 핀을 통해 PCB로의 열 흐름에 따라 달라진다. 전력 소모에 따라 불일치가 증가한다.

본 논문에서는 개별 전력 장치의 성형체 온도를 사용하여 패키지 내부 칩의 정상 상태 접합 온도를 추정하는 새로운 접근 방식을 소개한다. 먼저 사용된 모델에 대한 원리를 설명하고, 이어서 유한요소해석(FEA) 시뮬레이션을 통해 모델에 사용된 상관 매개변수를 추출한다. 열 측정을 수행하고 모델 예측을 통해 결과를 확인한다.

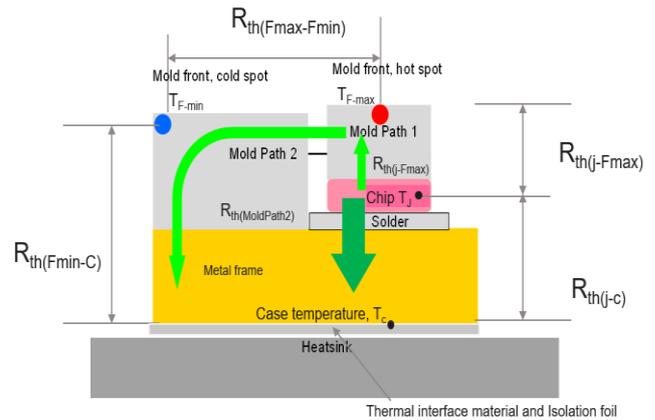


그림1 히트싱크에 장착된 T0-247 디스크리트 반도체에 대한 온도모델  
 Fig.1 Simplified thermal model for a discrete power semiconductor package e.g. T0-247, mounted on heatsink

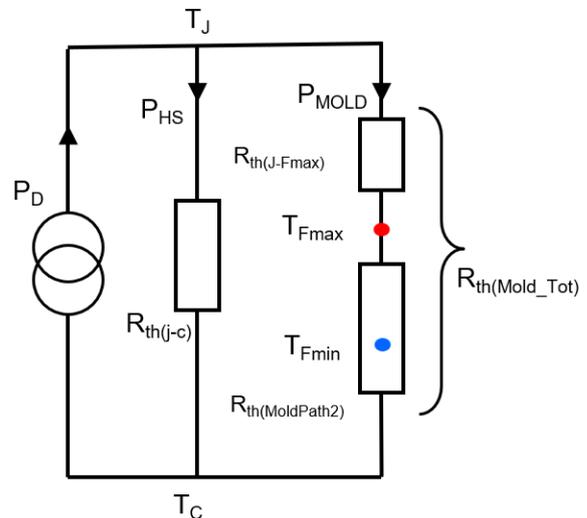


그림2 방열판에 부착된 디스크리트 전력 반도체에 대한 간략화된 등가 열적 회로 모델

Fig.2 Simplified equivalent thermal circuit of a discrete power device mounted on heatsink

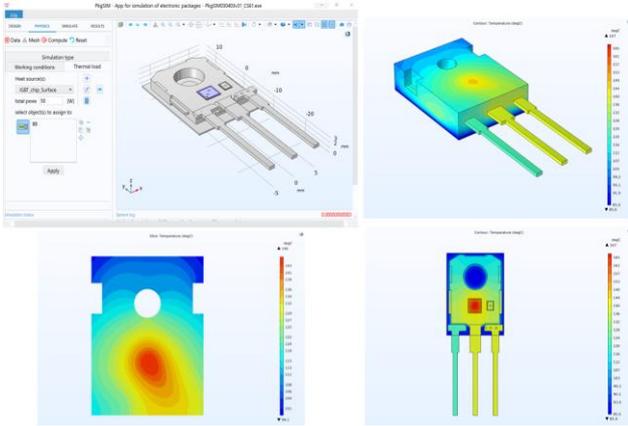


그림3 TO-247 패키지 제품인 IKW40N65H5의 50W 손실에 대한 유한 요소 분석(FEA)에 의한 시뮬레이션 결과

Fig.3 FEA simulation result of a co-pack IGBT IKW40N65H5 in TO-247 package with power dissipation of 50 W

## 2. 시뮬레이션 및 시험

### 2.1 유도 방정식의 전개

유도 방정식의 전개를 위하여 [3]과 같은 응용노트를 참조하여 그림 1과 2를 정의한 후 유도 방정식을 정리하면 아래와 같다. 그림 1의 구조를 참조하여  $T_{Fmax}$ 와  $T_C$ 를  $\alpha$ 와 같이 정의하면 아래와 같다:

$$T_J = (T_{Fmax} - T_C) * \alpha + T_C \quad (1)$$

여기서,  $\alpha = \Delta T_{J-C} / \Delta T_{Fmax-C}$  이고,  $\Delta T_{Fmax-C} = T_{Fmax} - T_C$  이고  $\Delta T_{J-C} = T_J - T_C$  이다.

위와 동일하게 그림 1의 구조를 참조하여  $T_{Fmin}$ 와  $T_C$ 를  $\beta$ 와 같이 정의하면 아래와 같다:

$$T_J = (T_{Fmin} - T_C) * \beta + T_C \quad (2)$$

여기서,  $\beta = \Delta T_{J-C} / \Delta T_{Fmin-C}$  이고,  $\Delta T_{Fmin-C} = T_{Fmin} - T_C$  이고  $\Delta T_{J-C} = T_J - T_C$  이다.

방정식(1)에서  $T_C$ 를  $T_{Fmax}$ ,  $\alpha$ ,  $T_J$ 로 전제하고, 정리된 값을 방정식 (2) 에 대입하면 아래와 같이 방정식 (3) 이 유도 될 수 있다.

$$T_J = k_1 T_{Fmax} - k_2 T_{Fmin} \quad (3)$$

여기서,  $k_1 = \alpha(1-\beta) / (\alpha-\beta)$  이고,  $k_2 = \beta(1-\alpha) / (\alpha-\beta)$  이다. 다음장에서는 유한요소해석에 의해  $\alpha$ 와  $\beta$ 값을 결정할 것이다

### 2.2 시뮬레이션에 의한 모델 파라미터 결정

TO-247 패키지의 IGBT 및 다이오드 칩이 모두 포함된 디스크리트 제품인 IKW40N65H5가 유한요소해석(FET) 시뮬레이션에 사용되었다. 50 W 전력 손실 ( $P_b$ )는 IGBT 칩에만 적용된다. 그림 3과 표 1은 시뮬레이션 결과에 따라 결정된 계수  $\alpha$  와  $\beta$ 의 값을 보여 준다. 추정 모델의

매개변수  $k_1$ 과  $k_2$ 는 각각 1.45 와 0.45인 것으로 나타났다. 이러한 매개변수를 방정식 (3) 에 적용하면 IKW40N65H5 에 대한 추정 모델이 다음과 같이 제공된다.

$$T_J = 1.45 * T_{Fmax} - 0.45 * T_{Fmin} \quad (4)$$

표 1 시뮬레이션과 유도된 값에 의한 결과 표시

Table 1 Simulation unit values of the system parameters

Simulation Result(°C)	$T_J$	$T_{Fmax}$	$T_{Fmin}$	$T_C$
	167	146	99	85
Derived Result(°C)	$\Delta T_{J-C}$	$\Delta T_{Fmax-C}$	$\Delta T_{Fmin-C}$	-
	82	61	14.1	
Coefficients & Parameters	$\alpha$	$\beta$	$k_1$	$k_2$
	1.34	5.82	1.45	0.45

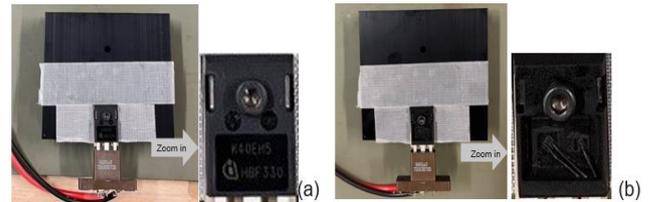


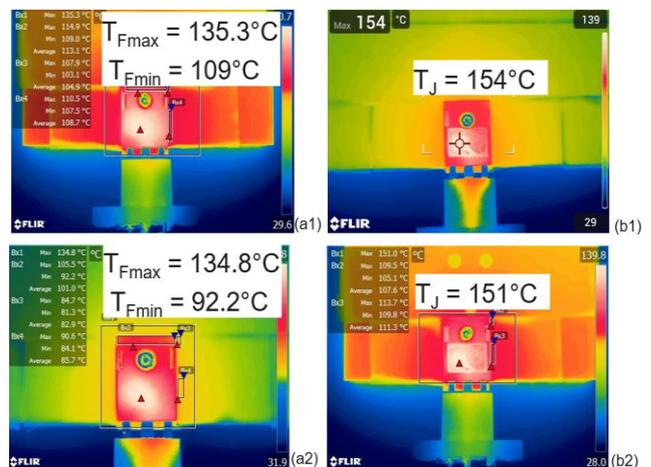
그림4 IKW40N65H5 를 사용한 온도 시험: (a) 정상 제품 (b) 접합온도 ( $T_J$ ) 측정을 위해 몰드를 분해하여 전력 반도체칩을 노출한 제품

Fig.4 Thermal measurement using IKW40N65H5 IGBT with (a) regular sample, and (b) decapsulated sample with chip exposed for direct  $T_J$  measurement.

표 2 그림 5 에 대한 온도 시험 셋업

Table 2 Thermal measurement setup for Fig. 5

No	Heatsink Dimension (mm <sup>3</sup> )	Cooling (CFM)	Regular Sample	Decapsulated Sample
1	88x75x25	No Fan	Fig. 5(a1)	Fig. 5(b1)
2	125x100x50	No Fan	Fig. 5(a2)	Fig. 5(b2)
3	88x75x25	22.5	Fig. 5(a3)	Fig. 5(b3)
4	125x100x50	22.5	Fig. 5(a4)	Fig. 5(b4)



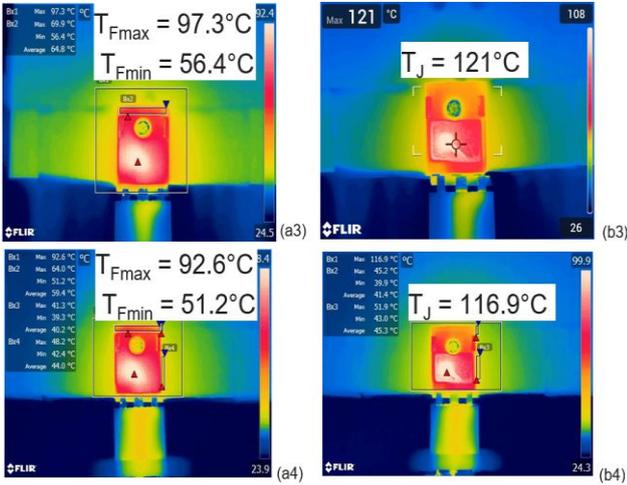


그림5 표2 에 표현된 방열 조건하에 IKM40NG65H5 IGBT 의 적외선 카메라로 측정된 정면 몸체의 최대와 최소 온도(aX) 와 노출 제품에 대한 접합온도(bX)  
 Fig.5 The measured body temperature (aX) and junction temperature on exposed discrete IGBT IKM40NG65H5 (bX) under four different cooling condition, described on Table 2, by IR camera.

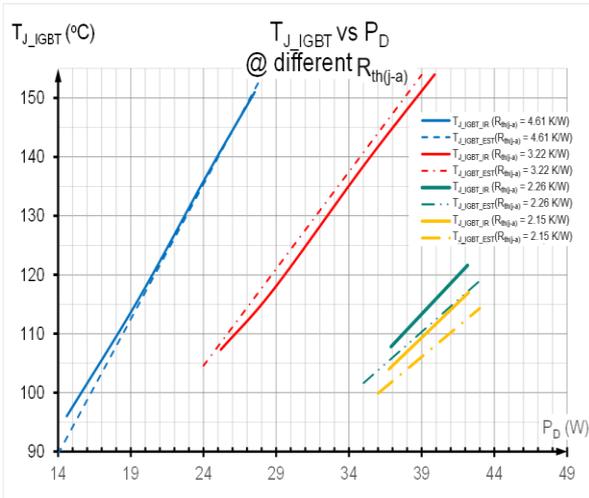


그림6 4가지 다른 조건에 대해 몸체의 높은 온도(T\_Fmax)와 낮은 온도(T\_Fmin) 값으로 계산된 접합온도와 적외선 카메라에 의해 측정된 접합온도 비교  
 Fig.6 Comparison of  $T_J$  by direct measurement using IR camera versus estimation by body temperatures  $T_{Fmax}$  and  $T_{Fmin}$ , at four different cooling  $R_{th(j-a)}$  conditions, for  $P_D$  range of 14-40 W.

### 2.3 측정에 의한 결과 검토

다양한 냉각 조건에서 모델 추정 정확도를 검증하기 위해 88 x 75 x 25 mm<sup>3</sup> 및 125x 100 x 50 mm<sup>3</sup> 크기의 두 가지 방열판을 사용하고 냉각 팬을 선택적으로 적용했다. 표 2에 요약된 바와 같이 두 가지 유형의 샘플에 대한 총 네 가지 냉각 조건  $R_{th(j-a)}$  가 테스트되었다. 각 냉각 조건에서 두 샘플 유형 모두 IGBT 칩의 전력 손실  $P_D$  범위를 사용하여 실험이 진행되었다. 측정 오류를 보정하기 위해 후속 데이터 분석에서 측정된 온도  $T_J$ ,  $T_{Fmax}$  및  $T_{Fmin}$ 의 원 데이터를 먼저  $P_D$ 에 대해 플롯하여 회귀 관계  $T_J$ ,  $T_{Fmax}$  및  $T_{Fmin}$ 을 생성한다. 후자의 두 값은 식(4)에 입력되어 추정된 접합 온도  $T_{J,EST}$ 를 제공하고 측정된 접합 온도  $T_J$ 와 비교된다. 전력 소모가 가장 높은 일반 샘플과 캡슐화 해

제된 샘플에 대해 4가지 다른 냉각 조건에서 적외선 카메라로 측정된 결과가 그림 5에 나와 있다. 적외선 카메라나 열전대 (thermocouple)를 사용하여 전력 장치의 칩 및 본체 온도를 측정할 수 있지만 열전대의 물리적 크기는 측정에 두 가지 문제를 야기한다. 소형 전력 소자, 특히 표면 실장 전력소자의 경우 열전대의 크기는 전력소자 크기에 명백히 비교되어진다. 몸체표면과 접촉하면  $T_J$  추정에 사용되는 최대 온도와 최소 온도 사이의 몸체 표면 온도 구배(gradient) 값을 평균할 것이다. 또한 전력 소자 몸체 표면에 열전대를 부착하면 열전대의 열전도율로 인해 열 손실이 발생하여 측정 지점의 온도가 감소한다. 열전대로 인한 이러한 열 손실은 일반적으로 수십 mW이며, 이는 케이스 또는 방열판 온도를 측정할 때 중요하지 않지만 표면온도를 측정할 때는 중요하며 몇 켈빈의 눈에 띄는 국지적 온도 강하를 유발할 수 있다[4]. 마찬가지로 전력 소자 몸체에 클립을 장착하면 접촉 영역의 체온도 낮아진다. 이 추정 접근법의 정확성은 이 섹션에서 확인된다. 측정된  $T_{Fmax}$  및  $T_{Fmin}$  값으로 식 (4)을 사용하여 추정된 접합 온도  $T_{J,EST}$ 를 구할 수 있으며 직접 측정된 접합 온도  $T_J$ 의 원 데이터와 비교 되면 그림 6에 나타난다. 이는 서로 다른 냉각 조건  $R_{th(j-a)}$ 에서  $P_D$ 에 대해 플롯된다. 손실( $P_D$ )에 따라 측정된  $T_J$ 와 추정된  $T_{J,EST}$  사이의 오차는 냉각 조건  $R_{th(j-a)}$ 가 감소함에 따라 1~2%에서 4%로 증가하게 된다.

### 3. 결론

논문에서는 정교한 테스트 설정이나 맞춤형 샘플 없이 개별 전력 반도체 장치의 정상 상태 동작 접합 온도( $T_J$ )를 추정하는 접근 방식을 제시하였다. 접근하기 어려울 수 있는 케이스 온도 ( $T_C$ ) 측정이 필요 없이  $T_J$ 를 금형 본체 전면의 최대 및 최소 온도  $T_{Fmax}$  및  $T_{Fmin}$ 과 연관시키기 위해 먼저 열 모델이 구축되었다. 열적 모델의 매개변수는 전력소자 패키지의 유한요소해석 (FEA) 시뮬레이션 결과로부터 결정된다. 추정 방식을 검증하기 위해 일반 샘플과 칩이 노출된 캡슐화 해제된 샘플에 대해 적외선(IR) 카메라를 사용하여 다양한 냉각 조건  $R_{th(j-a)}$  및 전력 소비 수준  $P_D$ 에서 온도 측정을 비교했다. 손실( $P_D$ )에 따라 측정된  $T_J$ 와 추정된  $T_{J,EST}$  사이의 오차는 냉각 조건  $R_{th(j-a)}$ 가 감소할 수록 1~2%에서 4%로 증가하게 된다.

### 참고 문헌

- [1] N. Kerstin, M. Schulz, " The challenge of accurately analyzing thermal resistance ", PCIM Europe, 2014.
- [2] IEC 60747-9 semiconductor Devices – Discrete Devices – part 9: Insulated – gate bipolar transistors (IGBTs).
- [3] Infineon Discrete IGBT application note – explanation of discrete IGBT’s datasheets, V1.0 2015-09-18.
- [4] R. Wilcoxon, "Effect of thermocouple size", March 26, 2024, <http://www.electronics-cooling.com>.